

**本科实验报告**

|  |  |
| --- | --- |
| 课程名称： | 计算机体系结构 |
| 姓 名： | 刘思锐 |
| 学 院： | 计算机科学与技术学院 |
| 系： |  |
| 专 业： | 计算机科学与技术 |
| 学 号： | 3200102708 |
| 指导教师： | 陈文智 |

2022年 10月 25日

**浙江大学实验报告**

课程名称： 计算机体系结构 实验类型： 综合

实验项目名称： Pipelined CPU supporting exception & interrupt

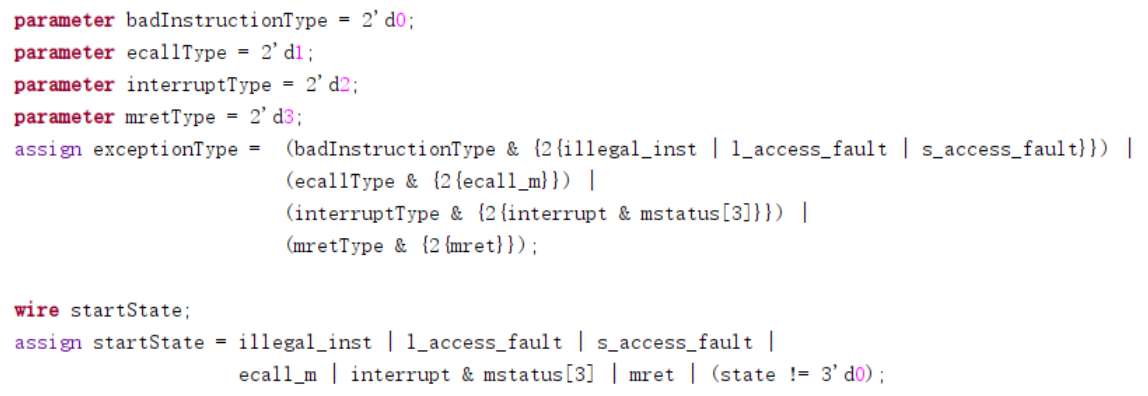
学生姓名： 刘思锐 专业： 计算机科学与技术 学号： 3200102708

同组学生姓名： 陈镛屹 指导老师： 陈文智

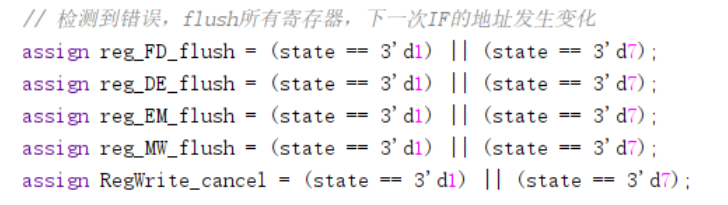
实验地点： 曹西301 实验日期： 2022 年 10 月 25 日

1. 实验目的和要求
   1. Understand the principle of CPU exception & interrupt and its processing procedure.
   2. Master the design methods of pipelined CPU supporting exception & interrupt.
   3. Master methods of program verification of Pipelined CPU supporting exception & interrupt.
2. 实验内容和原理
   1. 实验内容
      1. Design of Pipelined CPU supporting exception & interrupt.
         1. Design datapath
         2. Design Co-processor & Controller
      2. Verify the Pipelined CPU with program and observe the execution of program
   2. 实验原理
      1. RISC-V机器发生中断、异常时，硬件应该自动完成如下内容：
         1. 异常指令的PC被保存在mepc中，PC被设置为mtvec。mepc指向导致异常的指令；对于中断，它指向中断处理后应该恢复执行的位置。
         2. 根据异常来源设置mcause，并将mtval设置为出错的地址或者其它适用于特定异常的信息字。
         3. 把控制状态寄存器mstatus中的MIE位置零以禁用中断，并把先前的MIE值保留到MPIE中。
         4. 发生异常之前的权限模式保留在mstatus的MPP域中，再把权限模式更改为M。
      2. 除对中断和异常的处理之外，中断命令还需要与正常操作CSR的指令相兼容。
3. 实验过程和数据记录
   1. 因为发生中断、异常时需要向多个CSR地址中写入，而CSR一个时钟周期只能写入一个数据，因此该实验一定需要状态机进行多时钟处理。
      1. 生成异常、中断信号与其原因。

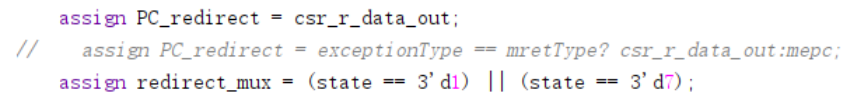
StartState置1表示当前出现了异常、异常需要处理。而因为Interrupt外部中断是异步的，这里StartState也是由组合逻辑生成的异步信号。



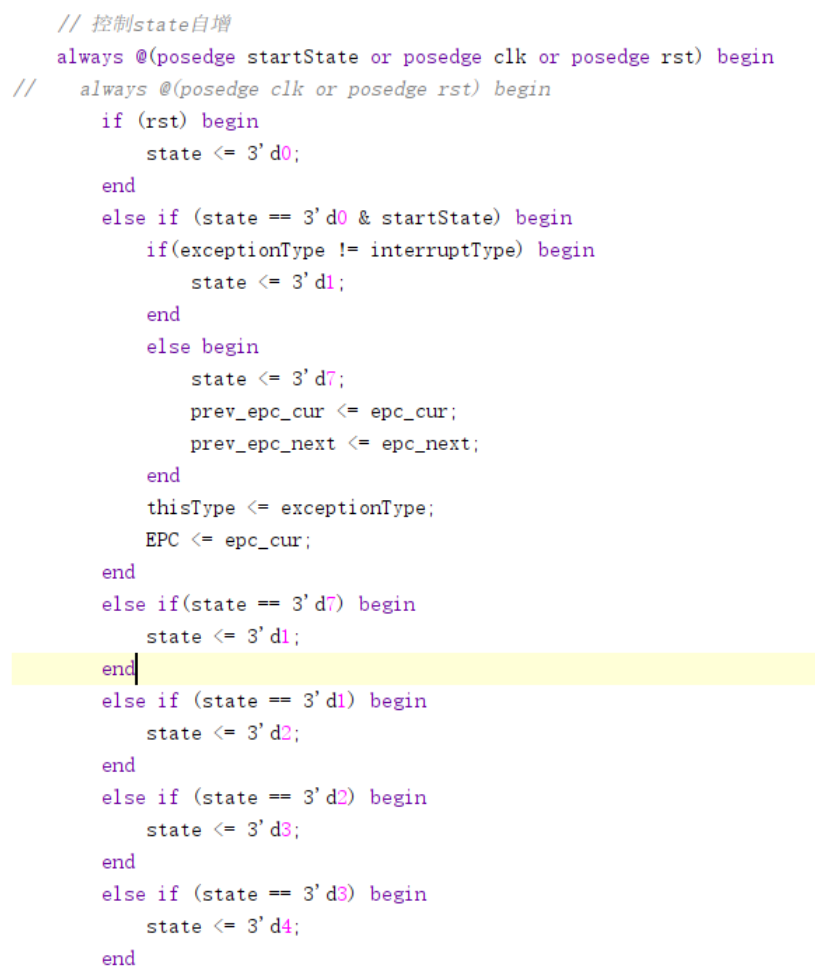
* + 1. 检测到异常和中断时的处理
       1. 清空流水线



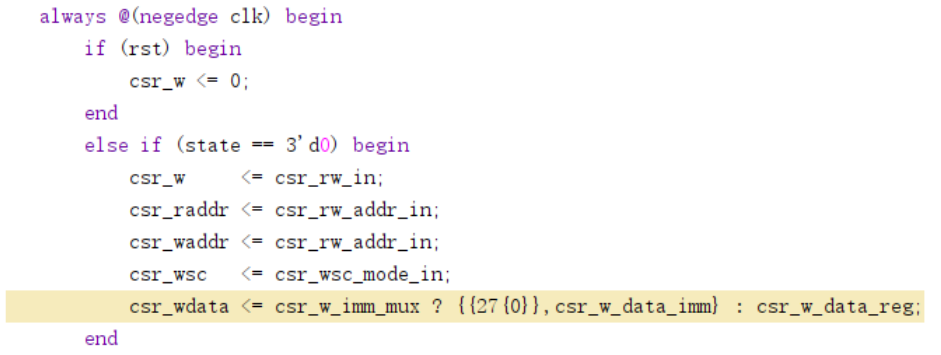
* + - 1. 生成PC redirect mux信号控制跳转



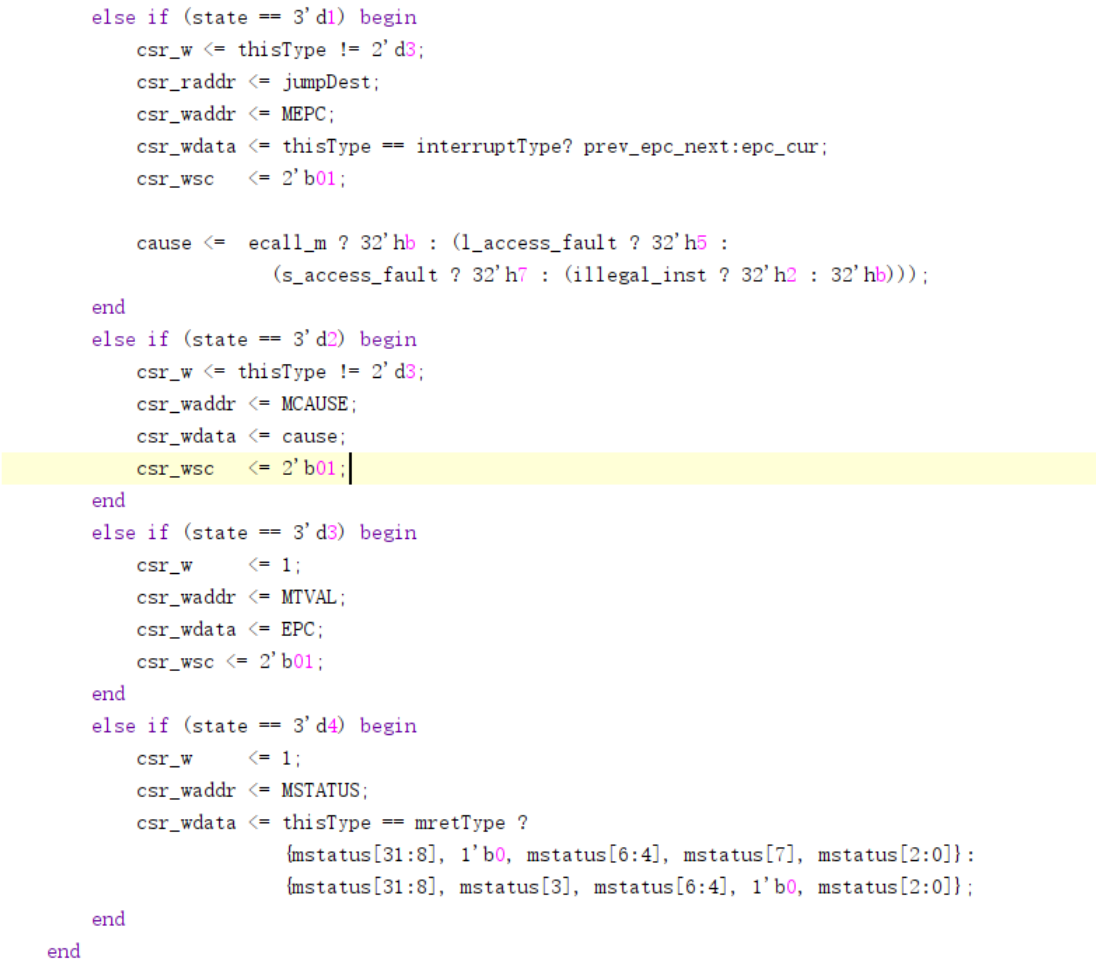
* + 1. 设计状态机控制部分
       1. State 0表示当前没有发生中断、异常。
       2. State 1-4表示当前正在进行异常处理。
       3. 因为发生外部中断需要跳转到的MTVEC由CSR读出，是同步信号；而外部中断是异步信号，因此需要对exceptionType做出特判，当外部中断时需要一个额外的缓冲周期state 7，以保证可以正常读取MTVEC并跳转。



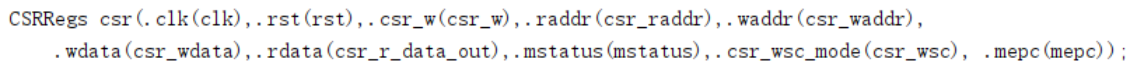
* + 1. 设计状态机功能部分
       1. State 0，没有发生中断或异常



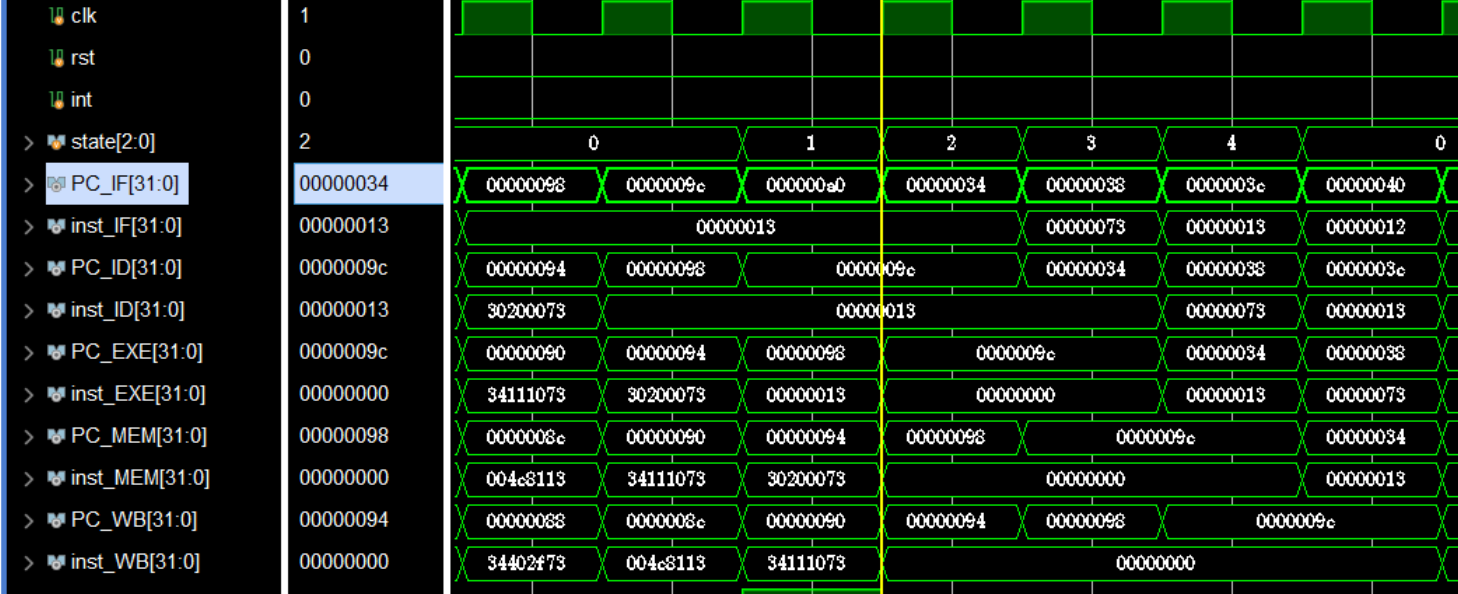
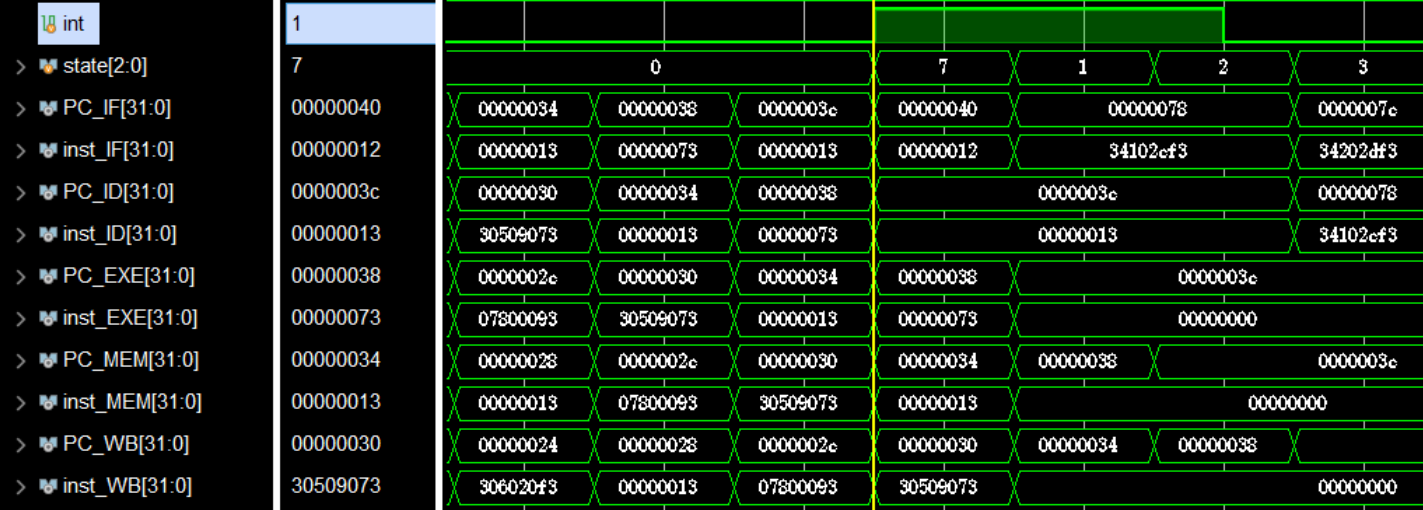
* + - 1. State 1-4 按照异常、中断处理的要求分别写入MEPC、MCAUSE、TVAL、MSTATUS



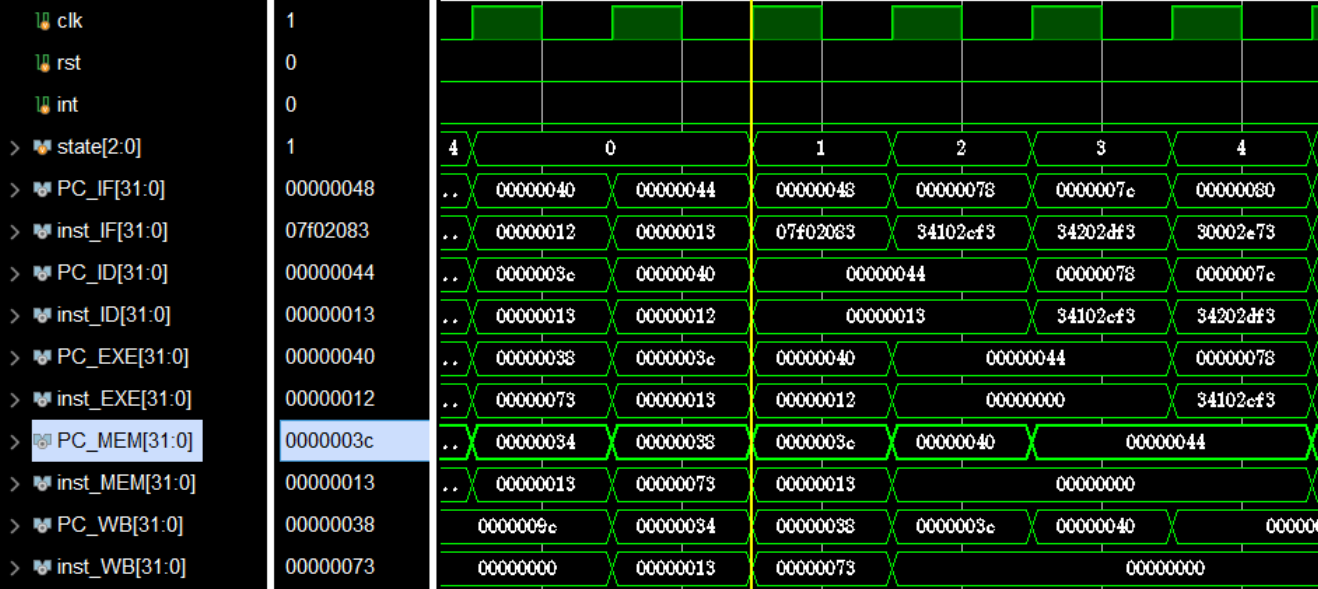
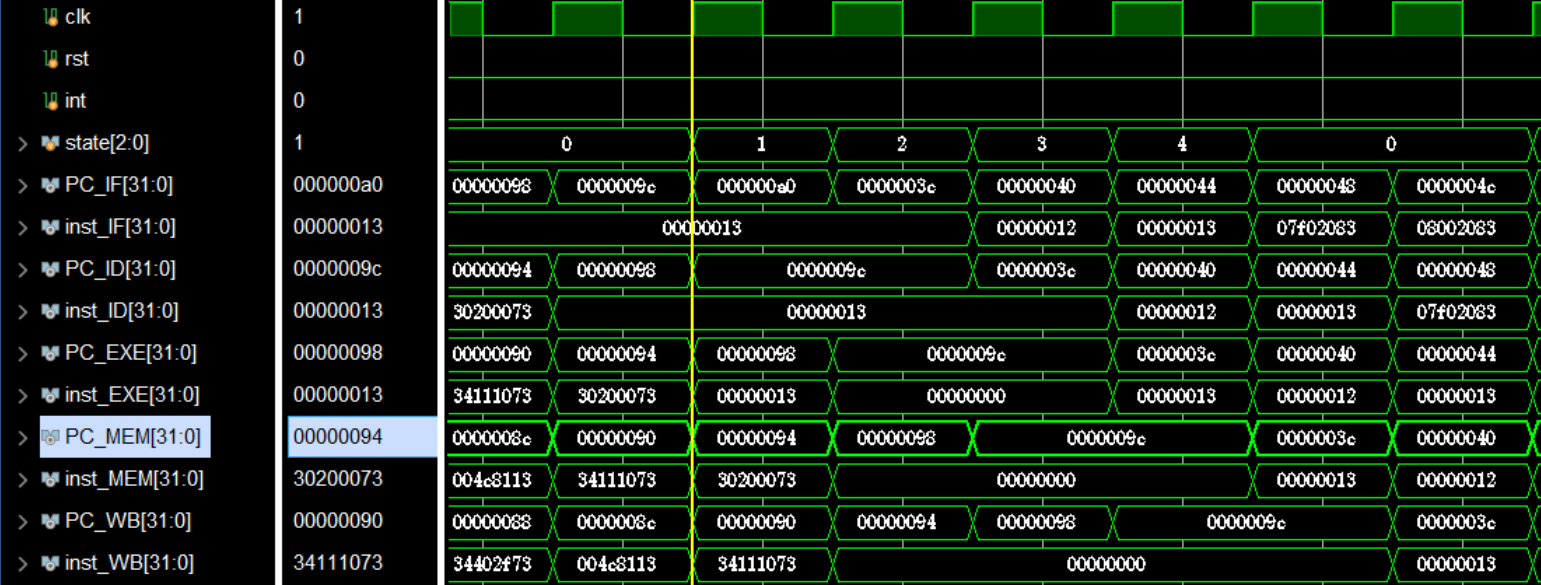
* + 1. 连接CSR寄存器组件



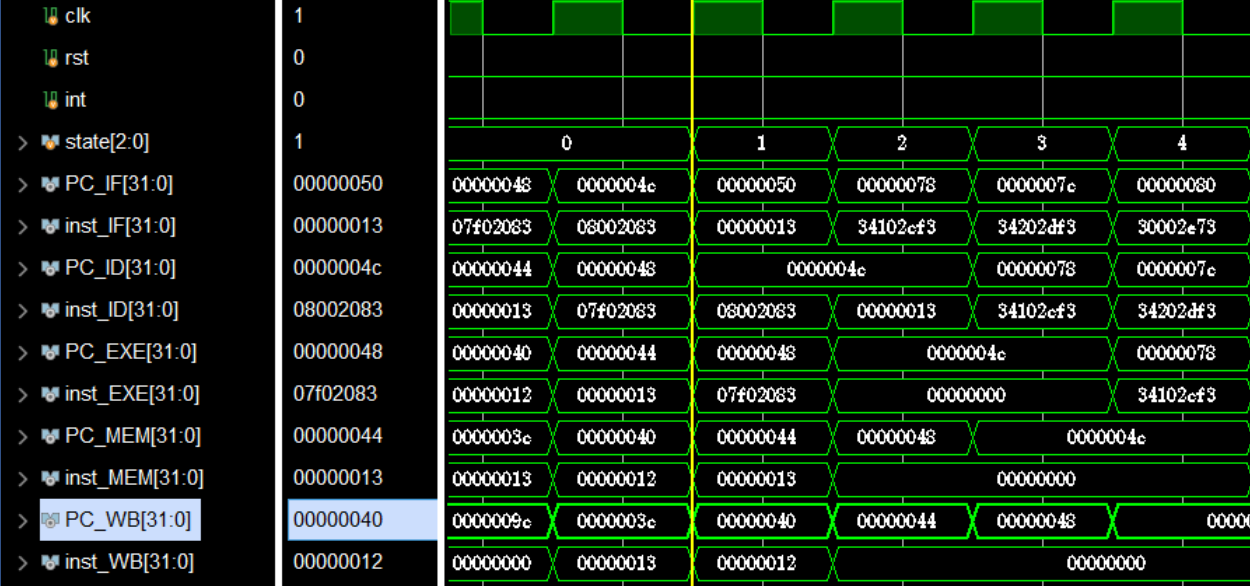
* + 1. 进行仿真观察结果
       1. 发生中断时，经过一个缓冲周期，跳转到0x78地址；处理结束后mret回到中断处继续执行



* + - 1. 在WB级响应ECALL指令；处理结束后mret回到异常的下一指令处继续执行

* + - 1. 在WB级发现非法指令；mret时同ECALL



1. 讨论与心得

最初为了避免时序上的冲突，我状态机的控制部分使用的并不是常见的组合逻辑而是negedge clk，这样可以为处理异常、生成地址和信号供CSR读写提供便利。但是因为外部中断是一个异步的信号，时钟的posedge、negedge又都已经使用了，在接入外部中断时我遇到了无数时序上的麻烦。最终通过各种尝试终于在验收当天调出了用一个异步缓冲状态state 7将中断信号同步的方法。**上板忘记拍照了可以放过我吗orz。**